

【0003】

一般に、MR膜は磁気抵抗効果を示す磁性体を膜にしたもので、単層構造となっている。これに対して多くのGMR膜は、複数の膜を組み合わせた多層構造となっている。GMR膜において抵抗変化が発生するメカニズムについては幾つかの種類があり、メカニズムによってGMR膜の層構造が異なっている。例えば、超格子GMR膜やグラニューラGMR膜は、比較的構造が簡単で、弱い磁界で大きな抵抗変化が得られる特長がある。また、量産に適したものとしてスピバルブGMR膜が知られている。さらに、再生ヘッド素子としての特性は、上述した材料の選択の他にパターン巾で決定されている。このパターン巾はMRハイトやトラック巾であるが、トラック巾はフォトリソグラフィ・プロセスで決定され、MRハイトはエアー・ベアリング・サーフェイス(ABS)を形成する際の研磨量によって決定される。

【0004】

一方、再生用ヘッド素子の性能の向上に伴って記録用ヘッド素子の性能向上も求められている。面記録密度を高くするには、トラック密度を高くする必要があるが、そのためには記録用ヘッド素子の磁極部分について半導体加工技術を利用して微細加工を施してトラック巾をサブミクロンオーダー、特に $0.2\mu\text{m}$ 以下と狭くする必要がある。しかしながら、半導体微細加工技術を利用してトラック巾を狭くしてゆくと、磁極部分が微細化されて十分な量の磁束が得られなくなるという問題がある。このように、再生ヘッド素子としてはMR膜をGMR膜に変更し、さらに磁気抵抗感度の高い材料を選択することで、比較的容易に所望の高い面記録密度に対応することができる。

【0005】

一方、 100 ギガビット/インチ²に程度のきわめて高い面記録密度を実現するには、記録媒体である磁気ディスクに保持力の大きな材料を使用する必要がある。その理由は、保持力の大きな材料を使用しないと、記録密度が高くなるのに伴って、熱ゆらぎ現象によって書きこまれたデータが消失してしまうためである。このように高い保持力を有する材料を使用する場合には、書き込みには大きな磁束が必要とされるので、誘導型薄膜磁気ヘッド素子としても大きな磁束を発生で

きるものが要求されることになる。誘導型薄膜磁気ヘッド素子が発生する磁束を増大させる一般的な方法は、飽和磁束密度の大きな磁性材料（Hi-Bs 材料で飽和磁束密度が 1.8 T（テスラ）以上）でトラックポールを形成することである。従来、飽和磁束密度の大きな磁性材料としては、飽和磁束密度が 1.0T の NiFe(80:20) や 1.5T の NiFe(45:55) が一般的であり、最近では 1.8 T から 2.0T の CoNiFe などがあるが、微細化されたトラックポールとして安定した状態で使用するには、1.8T 程度の飽和磁束密度を有する磁性材料を使用するのが一般である。しかし、上述したようにトラックポールの幅をサブミクロンオーダーと狭くした場合には、このような磁性材料では書き込みに必要な大きな磁束を安定して得ることができず、さらに飽和磁束密度の高い磁性材料を使用することが望まれている。従来、トラックポールを高飽和磁束密度の磁性材料で形成する場合には一般的にメッキ法が採用されているが、幅の狭いトラックポールを安定に形成するには、スパッタ法を採用するのが有利である。そのような観点から、飽和磁束密度が 2.0T の FeN や 2.4T の FeCo のスパッタ膜でトラックポールを形成するのが有力である。

【0006】

図 1～9 に、従来の標準的な複合型薄膜磁気ヘッドの一例として GMR 素子を有するものの順次の製造工程を示す断面図である。これらの図面において、A はエアベアリング面に垂直な平面で切って示す断面図であり、B はエアーベアリング面に平行な平面で切って示す断面図である。なおこの例は、磁気抵抗効果型の読取用の薄膜磁気ヘッドの上に誘導型の書込用薄膜磁気ヘッドを積層した複合型薄膜磁気ヘッドである。

【0007】

図 1 A, 1 B に示すように、AlTiC より成る基板 1 の上に、例えばアルミナより成る絶縁膜 2 を約 $2 \sim 3 \mu\text{m}$ の膜厚に堆積し、さらにその上に再生用の GMR ヘッド素子に対する磁気シールドを行うための磁性材料より成る下部シールド膜 3 を形成する。次に、この下部シールド膜 3 の上に $30 \sim 35 \text{ nm}$ の膜厚のアルミナより成る下部シールドギャップ膜 4 をスパッタリングにより形成した後、所定の層構造を有する GMR 膜 5 を形成し、さらにこの GMR 膜に対する引出し電極 6 を、リフトオフによって形成する。その後、アルミナのスパッタリングによ

り上部シールドギャップ膜 7 を 30 ~ 35 nm の膜厚に形成し、その上に GMR 素子の上部磁気シールド膜として作用する磁性材料膜 8 を、約 3 μ m の膜厚に形成する。

【0008】

次に、再生用の GMR ヘッド素子と記録用の誘導型薄膜磁気ヘッド素子を磁気的に分離して再生用 GMR ヘッド素子の再生出力中のノイズを抑圧するためのアルミナより成る分離膜 9 を約 0.3 μ m の膜厚に形成した後、記録用ヘッド素子の下部ポール 10 を 1.5 ~ 2.0 μ m の膜厚に形成する。この下部ポール 10 は、CoNiFe のメッキ法で形成されている。なお、図面では各部の膜厚の比率は実際のものとは必ずしも一致しておらず、例えば分離膜 9 の膜厚は薄く描いてある。

【0009】

次に、図 2 A, 2 B に示すように、下部ポール 10 の上に非磁性材料より成るライトギャップ膜 11 を、例えば 100 nm の膜厚に形成し、さらにその上に高飽和磁束密度の磁性材料であるパーマロイより成る上部トラックポール 12 を所定のパターンにしたがって形成する。これと同時に下部ポール 10 と、後に形成される上部ポールとを磁気的に連結してバックギャップを形成するための連結部 13 を形成する。これら上部ポール 12 および連結部 13 は、メッキによりおよそ 3 ~ 4 μ m の膜厚に形成する。

【0010】

その後、実効書込みトラック巾の広がりを防止するために、すなわちデータの書込み時に下部ポール 10 において磁束が広がるのを防止するために、上部トラックポール 12 の周囲のライトギャップ膜 11 およびその下側の下部ポール 10 をイオンミリングによってエッチングしていわゆるトリム構造を形成する。その後、全体の上に厚さ 3 μ m 程度のアルミナ絶縁膜 14 を形成し、化学機械研磨 (CMP) により表面を平坦とした状態を図 3 A, 3 B に示す。

【0011】

次に、図 4 A, 4 B に示すように、平坦とした表面に、Cu より成る薄膜コイルを電解メッキにより形成するために、Cu より成る 100 nm 程度の薄いシー

ド層 15 をスパッタにより形成し、その上に所定の開口パターンを有するフォトレジスト膜を形成した後、第 1 層目の薄膜コイル 16 を硫酸銅のメッキ液を用いる電解メッキにより所定のパターンにしたがって $1.5 \mu\text{m}$ の膜厚に形成する。その後、フォトレジスト膜を除去した後、シード層 15 をアルゴンイオンビームを用いるイオンミリングによって除去した様子を図 5 A, 5 B に示す。このようにシード層 15 を除去し、コイル巻回体相互を分離して 1 つのコイル状の導体を形成する。このイオンビームミリングの際には、薄膜コイル 16 のコイル巻回体の底部にあるシード層 15 が薄膜コイルよりも外方に突出して残るのを抑止するために、イオンビームミリングは $5 \sim 10^\circ$ の角度を以て行なうようにしている。このように、イオンビームミリングを垂直に近い角度で行うと、イオンビームの衝撃によって飛散したシード層 15 の材料が再付着するようになるので、順次のコイル巻回体の間隔は広くしなければならない。

【0012】

さらに、図 6 A, 6 B に示すように、この第 1 層目の薄膜コイル 16 を絶縁分離した状態で保持する絶縁膜 17 をフォトレジストにより形成し、図 7 A, 7 B に示すように、Cu より成るシード層 18 を形成し、電解メッキによって第 2 層目の薄膜コイル 19 を所定のパターンにしたがって $1.5 \mu\text{m}$ の膜厚に形成する。次に、シード層 18 をイオンミリングによって除去した後、第 2 層目の薄膜コイル 19 を絶縁分離して支持するフォトレジストより成る絶縁膜 20 を形成し、上部トラックポール 12 および連結部 13 と連結するようにパーマロイより成る上部ポール 21 を約 $3 \mu\text{m}$ の膜厚に形成し、全体をアルミナより成るオーバーコート膜 22 で覆った様子を図 8 A, 8 B に示す。なお、第 1 層目および第 2 層目の薄膜コイル 16 および 19 の内周端同士を電氣的に接続するための接続部 23 は、第 2 層目の薄膜コイル 19 を形成するときと同時に形成する。最後に、GMR 膜 5、ライトギャップ 11、上部トラックポール 12 などが露出する端面を研磨してエアベアリング面 A B S を形成し、スライダを完成する。実際の薄膜磁気ヘッドの製造においては、上述した構造をウエファに多数形成した後、多数の薄膜磁気ヘッドが配列されたバーにウエファを分割し、このバーの側面を研磨してエアベアリング面 A B S を得るようにしている。

【0013】

図9は、上述したようにして形成した従来の複合型薄膜磁気ヘッドの構成を模式的に示す断面図および平面図である。下部ポール10は広い面積を有しているが、上部トラックポール12および上部ポール21は下部ポールよりも狭い面積を有している。書込み用ヘッド素子の性能を決定する要因の一つにスロートハイトTHがある。このスロートハイトTHは、エアーベアリング面ABSから絶縁膜14のエッジまでの磁極部分の距離であり、この距離をできるだけ短くすることが望まれている。また、再生用ヘッド素子の性能を決定する要因の一つにMRハイトMRHがある。このMRハイト(MRH)は、端面がエアーベアリング面ABSに露出するMR膜5の、エアーベアリング面から測った距離であり、薄膜磁気ヘッドの製造工程においては、エアーベアリング面ABSを研磨して形成する際の研磨量を制御することによって所望のMRハイトMRHを得るようにしている。

【0014】

上述したスロートハイトTHおよびMRハイトMRHと共に薄膜磁気ヘッドの性能を決定する要因としてエイベックスアングル θ がある。このエイベックスアングル θ は、薄膜コイル16を絶縁分離する絶縁膜17の側面の接線と上部ポール28の上面との成す角度として規定されるものであり、薄膜磁気ヘッドの微細化を達成するためにはこのエイベックスアングル θ をできるだけ大きくすることが要求されている。

【0015】

上述したような従来の複合型薄膜磁気ヘッドにおける問題点について以下に説明する。薄膜コイル16、19を絶縁膜17、20によって絶縁分離して保持するように形成した後、上部ポール21を形成するが、この際絶縁膜17、20のエッジの立ち上がりに沿って上部ポール21を所定のパターンにしたがって形成する必要がある。このために約 $7 \sim 10 \mu\text{m}$ の段差に上部ポール21のパターンを規定するためのフォトレジストを $3 \sim 4 \mu\text{m}$ の膜厚で形成している。ここで、絶縁膜16、19のエッジ部分においては最低でも $3 \mu\text{m}$ の膜厚のフォトレジストが必要であるとすると、このエッジの低部では $8 \sim 10 \mu\text{m}$ の厚いフォトレジ

ストが形成されることになる。記録ヘッドのトラック巾はトラックポール 1 2 の巾によって主として規定されるので、上部ポール 2 1 は上部ポールほど微細加工が必要ではないが、トラック巾をサブミクロンと微細化する場合、特に $0.2 \mu\text{m}$ 程度とする場合には、上部ポール 2 1 の磁極部分もサブミクロンオーダの微細化が要求されるようになる。

【0016】

上述したように、上部ポール 2 1 をメッキにより所定のパターンに形成する際には、 $10 \mu\text{m}$ 以上の高低差のある上部トラックポール 1 2 と絶縁膜 1 7、2 0 の表面にフォトレジストを均一の膜厚にコーティングし、このフォトレジストに対して露光を行って上部ポール 2 1 の、サブミクロン巾の磁極部分を規定するパターンを形成する必要がある。すなわち、 $8 \sim 10 \mu\text{m}$ の膜厚を有するフォトレジストでサブミクロンオーダのパターンを形成する必要がある。上部ポール 2 1 をメッキで形成するためには、シード層と呼ばれる薄いパーマロイ電極膜をスパッタリングにより予め形成しており、このパーマロイ膜によりフォトリソグラフィの露光時の光が反射される結果としてパターンの崩れが発生し、サブミクロンオーダの微細なパターンを正確に形成することは非常に困難であった。

【0017】

上述したように、面記録密度を向上するためには磁極部分の微細化が必要であるが、これに伴って少なくとも微細化された磁極部分を飽和磁束密度の高い磁性材料で形成する必要がある。このような磁性材料としては、一般的に FeN , FeCo が知られているが、これらの磁性材料はスパッタリングによって所定のパターンを有する膜として形成することが困難である。スパッタリングによって形成した磁性膜をパターニングするにはイオンミリングが用いられているが、エッチングレートが低いと共にサブミクロンオーダのトラック巾を精度良く制御することはできない。

【0018】

また、飽和磁束密度の高い磁性材料として NiFe , CoNiFe , FeCo など知られており、これらの磁性材料はメッキ法によって比較的簡単に所望のパターンに形成できる。例えば、 NiFe では、その組成比率を Fe リッチ (50% 以上) とする

ことで、1.5～1.6テスラ（T）が得られ、比較的安定した組成コントロールも可能である。しかしながら、面記録密度が1インチ平方当たり80～100Gbとなるとトラック巾は0.2μm以下のものが要求され、それに伴って飽和磁束密度のさらに高い磁性材料の使用が要求されるようになってきた。そのためメッキ法によって磁性膜を形成する場合には、CoNiFeを用いることが有力視されているが、1.8～2.0T程度の磁気性能しか得られない。1インチ当たり80～100Gb程度の面記録密度を実現しようとする、2T程度の高飽和磁束密度を有する他の磁性材料が望ましい。

【0019】

誘導型薄膜磁気ヘッドの高周波数特性を決める要因の一つに磁路長がある。この磁路長は、スロートハイト零の位置からバックギャップまでの距離として定義されるが、この磁路長を短くすることによって高周波数特性を向上することができる。薄膜コイルの順次のコイル巻回体の間隔、すなわちコイルピッチを短くすることによって磁路長を短くすることができるが限界がある。そこで上述したように薄膜コイルを2層構造とすることが行われている。従来、2層構造の薄膜コイルを形成する際には、1層目の薄膜コイルを形成した後、フォトレジスト絶縁膜を約2μmの厚さに形成している。この絶縁膜の外周面は丸みを帯びたものとなるので、2層目の薄膜コイルを形成する際に、この傾斜部にも電解メッキ用のシード層を形成すると、これを所定のパターンにイオンミリングでエッチングする際に傾斜部の影の部分は正確なエッチングが行われなくなり、コイル巻回体が短絡してしまう恐れがある。したがって、2層目の薄膜コイルは、絶縁膜の平坦部に形成する必要がある。

【0020】

例えば、第1層目の薄膜コイルの膜厚が2～3μmで、その上に形成されるフォトレジスト絶縁膜の膜厚が2μmとし、その傾斜部のエイベックスアングルが45～55°とすると、スロートハイト零の基準位置から第1層目の薄膜コイルの外周面までの距離のほぼ2倍の6～8μmの距離だけは、第2層目の薄膜コイルの外周面をスロートハイト零の基準位置から後退させる必要があり、それだけ磁路長が長くなってしまう。例えば、薄膜コイルのライン／スペースを1.5μm

／ $0.5\mu\text{m}$ とし、合計で11個のコイル巻回体を2層の薄膜コイルで形成する場合、第1層目に6つのコイル巻回体を形成し、第2層目に5つのコイル巻回体を形成することになり、薄膜コイルが占める長さは $11.5\mu\text{m}$ となる。したがって、従来の薄膜磁気ヘッドにおいては、磁路長を短くすることができず、高周波数特性の改善が阻害されている。

【0021】

上述したようにして形成された従来の複合型薄膜磁気ヘッドにおいては、特に書き込み用の誘導型薄膜磁気ヘッドの微細化の点で問題がある。すなわち、図9に示すように、下部ポール10および上部ポール21の、薄膜コイル16、19のコイル巻回体を囲む部分の長さである磁路長 L_M を短くすることによって、誘導型薄膜磁気ヘッドの磁束立ち上がり時間（Flux Rise Time）や非線形トランジションシフト（Non-linear Transition Shift:NLTS）特性や重ね書き（Over Write）特性などを改善できることが知られている。この磁路長 L_M を短くするためには、薄膜コイル16、19の、下部ポール10および上部ポール21によって囲まれる部分のコイル巾 L_c を短くする必要があるが、従来の薄膜磁気ヘッドでは、以下に説明するようにこのコイル巾 L_c を短くすることができなかった。

【0022】

誘導型薄膜磁気ヘッドのコイル巾 L_c を短くするためには、薄膜コイルの各コイル巻回体の巾を小さくするとともに順次のコイル巻回体の間隔を狭くする必要があるが、薄膜コイルの電気抵抗を小さくするためには、コイル巻回体の巾を短くすることには制限がある。すなわち、薄膜コイルの抵抗値を低くするために、導電率の高い銅を用いても、薄膜コイルの高さは $2\sim 3\mu\text{m}$ に制限されるので、コイル巻回体の幅を $1.5\mu\text{m}$ よりも狭くすることができない。これよりもコイル巻回体の幅を狭くすると、発熱によってGMT膜15の特性が劣化する恐れがある。さらに、下部ポール10や上部ポール21も加熱されて膨張し、ポール突出という現象が生じ、薄膜磁気ヘッドと記録媒体とが衝突するという大きな問題を引き起こすこともある。したがって、コイル巻回体の幅を狭くすることなく、コイル幅 L_c を短くするには、コイル巻回体の間隔を狭くする必要がある。

【0023】

THE UNIVERSITY OF CHICAGO

ここで、コイル巻回体間のシード層を除去するには、イオンビームミリングを基体表面に対して垂直な方向から行なうのが良いが、このようにすると、エッチングされた銅の残渣の再付着が発生し、順次のコイル巻回体間の絶縁不良が起こるので、コイル巻回体の間隔を狭くすることができない。このような欠点を除去しようとして、 $5 \sim 10^\circ$ の角度を以てイオンビームミリングを行うと、フォトリジスト膜の影の部分にはイオンが十分に照射されず、シード層が部分的に残ってしまう。したがって、コイル巻回体間の絶縁不良を回避するためには、コイル巻回体の間の間隔を狭くすることができない。したがって、従来では、コイル巻回体間の間隔を $0.3 \sim 0.5 \mu\text{m}$ と広くしており、これよりも狭くするには上に述べたように新たな困難な問題が発生し、コイル巻回体の間隔を狭くすることができなかった。

1 0

【0026】

誘導型薄膜磁気ヘッドのNLTS特性を向上するために、薄膜コイルのコイル巻回数を多くすることが考えられる。しかし、磁路長を短くしたままでコイル巻回数を多くするには、薄膜コイル層の層数を4層、5層と多くする必要があり、これによってエイベックスアングルが大きくなってしまい、狭トラック幅を達成することができなくなるという問題があった。エイベックスアングルを所定の範囲に収めるためには、薄膜コイル層の層数は3層以下、好適には2層以下とするのが望ましいが、これではコイル巻回数を多くすることはできず、したがってNLTS特性を改善することができない。

【0027】

さらに、上述したように2層の薄膜コイルを設ける場合、第2層目の薄膜コイル19の外周近傍では絶縁膜17が平坦ではなく湾曲しているので、第2層目の薄膜コイル19が垂直に形成されなくなる。例えば、 $0.3\mu\text{m}$ 以下のスペースを持った薄膜コイルを $1.5\mu\text{m}$ 以上の膜厚で形成する場合、上述したように垂直に形成されない薄膜コイルのコイル巻回体の間に存在するシード層18にはアルゴンイオンが有効に入っていないが、またウエファの中心部と周辺部とではイオンミリングの角度が異なることから、シード層18が十分にエッチングされずに残ってしまうことがしばしばある。さらに、コイル巻回体のスペースが狭い場合、イオンミリングのアルゴン粒子がこの狭いスペースに入ってしまったとしても、アルゴン粒子と一緒に運び去られたCu粒子が再びコイル巻回体の側壁に付着することがある。このようなエッチング残滓があると、コイル巻回体が短絡されてしまう恐れがある。

【0028】

特公昭55-41012号公報には、絶縁膜を介して第1および第2の薄膜コイル半部を絶縁膜を介して交互に配置した薄膜コイルが開示されている。この公報の第7図には、第1層目の薄膜コイルの第1および第2の薄膜コイル半部を左巻きに構成し、第2層目の薄膜コイルの第1および第2の薄膜コイル半部を右巻きに形成し、内側の接点パッド同士および外側の接点パッド同士を接続することによって同一方向に電流が流れるようにした構成が示されている。しかしながら、

この従来の薄膜コイルでは、第1の薄膜コイル半部を形成した後、全体に亘って絶縁膜および導電膜をスパッタまたは蒸着によって形成し、さらにその上に選択的にマスクを形成し、導電膜の、第1の薄膜コイル半部の上に形成されている部分を選択的にエッチングし、第1の薄膜コイル半部の順次のコイル巻回体の間のスペースを埋める部分を残して第2の薄膜コイル半部を形成している。したがって、第1および第2の薄膜コイル半部は自己整合的に形成されておらず、コイル巻回体の間隔をサブミクロンのオーダーまで微細化することはできない。

【0029】

本発明者は、上述した問題を少なくとも軽減するために、アメリカ特許第6,191,916および6,204,997において、第1の薄膜コイル半部をシード層を用いる電解メッキで形成した後、全体に亘って薄い絶縁膜およびシード層を形成し、第1の薄膜コイル半部の順次のコイル巻回体の間のスペースに開口を有するフォトレジスト膜を形成し、これをマスクとして電解メッキを施して第2の薄膜コイル半部を形成する方法を提案している。このような薄膜コイルの製造方法によれば、第1および第2の薄膜コイル半部を電解メッキによって正確に形成することができる。

【0030】

しかしながら、第2の薄膜コイル半部を形成するために所定のパターンの開口を有するフォトレジスト膜を用いているので、第1および第2の薄膜コイル半部を自己整合的に形成することはできず、したがって順次のコイル巻回体の間のスペースをクォーターミクロンオーダーと狭くすることは困難である。

【0031】

上述した問題は、薄膜磁気ヘッドに限られるものではなく、半導体集積回路において、微細な導電パターンを形成する場合にも同様に現れるものである。すなわち、半導体基板に、サブミクロンオーダー、特にクォーターミクロンで複数の導電細条を互いに平行に形成する場合にも、順次の導電細条の間隔を狭くして、導電パターンの占有面積をできるだけ小さくすることが望まれている。特に、導電細条の膜厚が厚く、間隔が狭い場合には、アスペクト比が相当大的な凹部内に導電材料を良好に堆積させる必要があるが、量産に適した従来の技術ではそのよ

THE BIBLE

発 明 の 概 要

【 0 0 3 3 】

【 0 0 3 4 】

【 0 0 3 5 】

この第 1 の絶縁膜の上であって、前記第 1 の導電細条半部の間に画成さ

れた凹部を埋めるように形成された複数の第 2 の導電細条半部と、

前記基体の表面の、前記第 1 および第 2 の導電細条半部が形成されていない部分を埋めるように形成された第 2 の絶縁膜と、

前記第 1 および第 2 の導電細条半部の表面と、前記凹部の表面に形成された第 1 の絶縁膜の端面と、前記第 2 の絶縁膜の表面とで構成される同一平坦面に形成された第 3 の絶縁膜と、
を具えるものである。

【 0 0 3 6 】

このような導電パターンを製造する本発明の製造方法は、

基体の電気絶縁性の表面に、所定の幅を有する凹部を画成するように間隔を置いて所定の幅の複数の第 1 の導電細条半部を形成する工程と、

前記基体の表面および前記第 1 の導電細条半部の間に画成された凹部の表面に第 1 の絶縁膜を形成する工程と、

前記第 1 の導電細条半部が形成されている領域を選択的に覆うようにレジストを形成する工程と、

前記レジストで覆われていない部分の基体の表面に第 2 の絶縁膜を形成する工程と、

前記レジストを除去した後、前記第 1 の導電細条半部の間に画成された凹部を埋めるように導電膜を形成する工程と、

この導電膜、前記第 1 の導電細条半部の表面に形成された前記第 1 の絶縁膜および前記第 2 の絶縁膜を、前記第 1 の導電細条半部の表面が露出するまで研磨して、前記第 1 の導電細条半部の間に画成された凹部に埋め込まれた複数の第 2 の導電細条半部を形成する工程と、

この研磨によって同一平坦面とされた第 1 および第 2 の導電細条半部の表面および第 2 の絶縁膜の表面に第 3 の絶縁膜を形成する工程と、
を具えるものである。

【 0 0 3 7 】

本発明による製造方法においては、第 1 の導電細条を銅の電解メッキで形成し、第 2 の導電細条は Cu-CVD で形成したり、第 1 および第 2 の導電細条の双方を銅の

電解メッキで形成することができるが、Cu-CVDの方がステップカバレッジが良好であるので、幅が狭く、膜厚が厚い第2の導電細条を形成する場合には、第2の導電細条をCu-CVDで形成する方が良い。

【0038】

さらに本発明による導電パターンは、

電気絶縁性の表面を有する基体と、

この基体の表面に、第1の幅を有する凹部を画成するように間隔を置いて配置され、第2の幅を有する複数の第1の導電細条群の第1の導電細条半部と、

前記基体の表面に、前記第1の幅よりも広い第3の幅を有する凹部を画成するように間隔を置いて配置され、前記第2の幅よりも広い第4の幅を有する複数の第2の導電細条群の第1の導電細条半部と、

前記基体の表面および前記第1および第2の導電細条群の第1の導電細条半部の間に画成された凹部の表面に形成された第1の絶縁膜と、

前記基体の表面の、前記第1および第2の導電細条群が形成されていない部分を埋めるように形成された第2の絶縁膜と、

前記第1の絶縁膜の上であって、前記第1の導電細条群の第1の導電細条半部の間に画成された凹部を埋めるように形成された複数の第2の導電細条半部と、

前記第1の絶縁膜の上であって、前記第2の導電細条群の第1の導電細条半部の間に画成された凹部を埋めるように形成され、それぞれがCVDで形成された第1の導電膜と、電解メッキで形成された第2の導電膜を含む2層構造を有する複数の第2の導電細条半部と、

前記第1の導電細条群の第1および第2の導電細条半部、第2の導電細条群の第2の導電細条半部の表面と、前記第2の絶縁膜の表面とで構成される同一平坦面に形成された第3の絶縁膜と、

を具えるものである。

【0039】

このような導電パターンを製造する本発明の方法は、

基体の電気絶縁性の表面の上に、第1の幅を有する凹部を画成するように、第2の幅を有する複数の第1の導電細条を間隔を置いて形成するとともに、前記第

30067355 in 00000000

前記第 1 および第 2 の導電細条が形成されている領域を選択的に覆うように被覆膜を形成する工程と、

前記被覆膜を除去した後、前記第 1 の絶縁膜の上に、前記第 1 の導電細条の間に画成された凹部を完全に埋めるとともに、前記第 2 の導電細条の間に画成された凹部を部分的に埋めるように第 1 の導電膜を CVD で形成する工程と、

前記第 1 および第 2 の導電膜、前記第 1 および第 2 の導電細条の表面を覆う第 1 の絶縁膜および前記第 2 の絶縁膜を、前記第 1 および第 2 の導電細条の表面が露出するまで研磨して、前記第 1 の導電細条の間に画成された凹部内に配置され、前記第 1 の導電膜で形成された複数の第 3 の導電細条を形成するとともに、前記第 2 の導電細条の間に画成された凹部内に配置され、それぞれが C V D で形成された第 1 の導電膜と、電解メッキで形成された第 2 の導電膜を含む 2 層構造を有する複数の第 4 の導電細条を形成する工程と、

前記第 1、第 2、第 3 および第 4 の導電細条の表面と、前記第 2 の絶縁膜の表面の同一平坦面上に第 3 の絶縁膜を形成する工程と、
を具えるものである。

本発明は、基板と、この基板によって支持された少なくとも誘導型薄膜磁気ヘッド素子を具える薄膜磁気ヘッドであって、前記誘導型薄膜磁気ヘッド素子が、

16

この下部ポール的一方の表面上に、前記エアーベアリング面からトラックポールの長さに相当する距離だけ内方に延在するように形成された磁性材料より成る下部トラックポールと、

前記下部ポール的一方の表面上に、前記エアーベアリング面から離れた位置においてバックギャップを構成するように形成された磁性材料より成る橋絡部と、

前記下部ポール的一方の表面上に、下部ポールとは反対側の表面が前記下部トラックポールの表面と同一面となるように形成された薄膜コイルと、

前記下部トラックポールおよび薄膜コイルの平坦な表面の上に平坦に形成された非磁性材料より成るライトギャップ膜と、

このライトギャップ膜の、前記下部トラックポールと接触する表面とは反対側の表面に形成され、前記下部トラックポールと整列する上部トラックポールが一体的に形成されているとともに前記橋絡部と接触するように形成された磁性材料より成る上部ポールと、

を具え、前記薄膜コイルが、

所定の間隔を置いて形成されたコイル巻回体を有する第1の薄膜コイル半部と、

この第1の薄膜コイル半部の順次のコイル巻回体の間に、第1の薄膜コイル半部のコイル巻回体と自己整合的に形成され、少なくとも一部分が、CVDで形成された第1の導電膜と、電解メッキで形成された第2の導電膜を含む2層構造を有するコイル巻回体を有する第2の薄膜コイル半部と、

これら第1および第2の薄膜コイル半部の順次のコイル巻回体間のスペースを埋めるように形成された絶縁膜と、

前記第1および第2の薄膜コイル半部のいずれか一方の最内周のコイル巻回体と、他方の薄膜コイル半部の最外周のコイル巻回体との間を電氣的に接続する第1のジャンパ配線と、

他方の薄膜コイル半部の最内周のコイル巻回体に一端が接続された第2のジャンパ配線と、

を具えるものである。

【0041】

このような本発明による薄膜磁気ヘッドにおいては、前記第1の薄膜コイル半部のコイル巻回体を銅の電解メッキで形成し、前記第2の薄膜コイル半部のコイル巻回体を、Cu-CVDで形成された第1の導電膜と、銅の電解メッキで形成された第1の導電膜との2層構造とするのが好適である。この場合、第2の薄膜コイル半部のコイル巻回体の、トラックポールと橋絡部との間の部分は幅が狭く形成されているので、全体が銅の電解メッキで形成された第1の導電膜で構成されることになるが、幅の広い部分は、上述したように銅の電解メッキによって形成された第1の導電膜と、Cu-CVDで形成された第2の導電膜との2層構造となる。さらに、前記第1および第2の薄膜コイル半部の隣接するコイル巻回体間に配設された前記絶縁膜の膜厚は、 $0.03 \sim 0.25 \mu\text{m}$ とするのが好適である。また、この絶縁膜は、アルミナ、酸化シリコンおよび窒化シリコンなどの無機絶縁材料で形成することができ、特にアルミナ-CVDで形成するのが好適である。

【0042】

このように本発明による薄膜磁気ヘッドにおいては、前記薄膜コイルを第1および第2の薄膜コイル半部を以て構成し、第1の薄膜コイル半部の順次のコイル巻回体間の間隔をコイル巻回体の巾よりもやや大きくすることによって、この順次のコイル巻回体間に第2の薄膜コイル半部の順次のコイル巻回体を絶縁層を介して自己整合的に配置することができ、これら第1および第2の薄膜コイル半部のコイル巻回体間の間隔をきわめて小さくすることができ、したがって磁路長を短くすることができ、その結果として磁束立ち上がり時間やNLTS特性や重ね書き特性などを改善することができる。

【0043】

本発明による薄膜磁気ヘッドにおいては、前記第1および第2の薄膜コイル半部の隣接するコイル巻回体の間隔を $0.2 \mu\text{m}$ 以下、特に $0.03 \sim 0.15 \mu\text{m}$ とするのが好適である。ここで、順次のコイル巻回体間の間隔を $0.03 \mu\text{m}$ よりも狭くすると、順次のコイル巻回体間の絶縁不良が発生する恐れがある。また、順次のコイル巻回体間の間隔を $0.2 \mu\text{m}$ よりも大きくしたのでは、薄膜コイル

の磁路長を短縮する効果が十分に得られない。本発明では、上述したように、順次のコイル巻回体間の間隔を $0.2\ \mu\text{m}$ 以下、特に $0.03\sim0.15\ \mu\text{m}$ と狭くすることによって、コイル巻回体の巾を狭くすることなく上述した磁路長を、図9に示した従来の誘導型薄膜磁気ヘッドの磁路長の半分以下と短くすることができ、上述したアメリカ特許第 6,191,916 および 6,204,997 に開示された誘導型薄膜磁気ヘッドの磁路長に比べても短くすることができ、誘導型薄膜磁気ヘッドの性能を著しく向上することができる。

【0044】

さらに本発明による薄膜磁気ヘッドにおいては、前記下部トラックポールおよび上部トラックポールを R I E (Reactive Ion Etching) により自己整合的に形成し、さらに下部ポールの表面を部分的にエッチングしてトリム構造を形成するのが好適である。また、上部トラックポールおよび上部ポールは、FeN、FeCo、CoNiFe、FeAlNまたはFeZrNで形成し、下部トラックポールは、FeN、FeCo、CoNiFe、FeAlN、FeZrNまたはNiFeで形成するのが好適である。この場合、CoNiFe、FeCo、NiFeはメッキ膜として形成し、FeN、FeCo、FeAlNおよびFeZrNはスパッタ膜で形成することができる。

【0045】

本発明は、基板によって支持された少なくとも誘導型薄膜磁気ヘッド素子を具える薄膜磁気ヘッドを製造する方法であって、前記誘導型薄膜磁気ヘッド素子を形成する方法が、

磁性材料より成る下部ポールを構成する第1の磁性材料膜を前記基板によって支持されるように形成する工程と、

この第1の磁性材料膜の上に下部トラックポールおよびバックギャップの橋絡部を構成する第2の磁性材料膜を形成する工程と、

前記第1の磁性材料膜の上に、絶縁分離された状態で支持された薄膜コイルを形成する工程と、

前記第2の磁性材料膜および薄膜コイルの表面を平坦な同一面となるように研磨する工程と、

この平坦な表面の上に非磁性材料より成るライトギャップ膜を平坦に形成する工程と、

このライトギャップ膜の平坦な表面に、上部トラックポールおよび上部ポールを構成する第3の磁性材料膜を前記橋絡部と接触するように形成する工程と、

この第3の磁性材料膜の、上部トラックポールを形成すべき部分にマスクを形成する工程と、

前記第3の磁性材料膜を選択的にエッチングして上部トラックポールを形成し、この上部トラックポールの周辺のライトギャップ膜およびその下側の第2の磁性材料膜を選択的に除去して下部トラックポールを形成するエッチング工程と、

全体の上に絶縁材料より成るオーバーコート膜を形成する工程と、
を具え、前記薄膜コイルを形成する工程が、

前記第1の磁性材料膜の上に、これから絶縁分離されるように第1の薄膜コイル半部の複数のコイル巻回体を、前記下部ポール、下部トラックポール、上部トラックポール、上部ポールおよび橋絡部で囲まれる部分では、他の部分よりも幅が狭くなるように凹部を画成するように形成する工程と、

この第1の薄膜コイル半部の全体を覆うように第1の絶縁膜を形成する工程と、

この第1の絶縁膜の上に、前記第1の薄膜コイル半部のコイル巻回体の間に画成された幅の狭い凹部を完全に埋めるとともに、幅の広い凹部を部分的に埋めるように第1の導電膜をCVDで形成する工程と、

この第1の導電膜の上の薄膜コイル形成領域に、幅の広い凹部を完全に埋めるように第2の導電膜を電解メッキで形成する工程と、

表面全体を覆うように第2の絶縁膜を形成する工程と、

前記第1および第2の導電膜、前記第1の薄膜コイル半部のコイル巻回体の表面を覆う第1の絶縁膜および前記第2の絶縁膜を、前記第1の薄膜コイル半部のコイル巻回体の表面が露出するまで研磨して、前記第1の薄膜コイル半部のコイル巻回体の間に画成された凹部内に配置された第2の薄膜コイル半部のコイ

ル巻回体を形成する工程と、

を具え、前記第3の磁性材料膜を形成する前に、前記第1および第2の薄膜コイル半部の最内周のコイル巻回体の端部および最外周のコイル巻回体の端部においてコンタクト部を露出させ、前記第3の磁性材料膜を形成する工程と同時に、この第3の磁性材料膜を構成する磁性材料によって、前記第1および第2の薄膜コイル半部の一方の最内周のコイル巻回体の端部のコンタクト部と、第1および第2の薄膜コイル半部の他方の最外周のコイル巻回体の端部のコンタクト部との間を電氣的に接続する第1のジャンパ配線および他方の薄膜コイル半部の最内周のコイル巻回体の端部のコンタクト部に電氣的に接続された第2のジャンパ配線を形成するものである。

【0046】

このような本発明による薄膜磁気ヘッドの製造方法の好適な実施例においては、前記第1の薄膜コイル半部を銅の電解メッキで形成し、前記第2の薄膜コイル半部の第1の導電膜をCu-CVDで形成し、第2の導電膜を銅の電解メッキで形成する。この場合、第2の導電膜を銅の電解メッキで形成する前に、前記第1の導電膜の薄膜コイル形成領域以外の部分をレジストで覆い、第2の導電膜を形成した後、このレジストを除去して第1の導電膜を部分的に露出させ、第2の導電膜をマスクとして第1の導電膜の露出している部分を選択的に除去するのが好適である。この第1の導電膜の露出している部分の選択的な除去は、イオンミリング、高温RIE等によるドライエッチング、希硫酸あるいは希塩酸等を用いるウエットエッチング、または硫酸銅液中での電解エッチングで行うのが好適である。

【0047】

また、第2の薄膜コイル半部のコイル巻回体を構成する第2の導電膜を形成し、さらにその上に第2の絶縁膜を形成した後、それらを研磨する工程は、アルカリスラリーや中性スラリーを用いるCMP、イオンビームミリングやスパッタエッチングなどのドライエッチングで行ったり、CMPで荒く除去した後、ドライエッチングで微調整して除去することができる。

【0048】

また、エアーベアリング面に最も近いコイル巻回体を第2の薄膜コイル半部の

最外周のコイル巻回体で構成し、バックギャップを構成する橋絡部に最も近いコイル巻回体を第2の薄膜コイル半部の最内周のコイル巻回体で構成する場合、これら第2の薄膜コイル半部の最外周のコイル巻回体および最内周のコイル巻回体の幅を、それ以外のコイル巻回体の幅よりも広くするのが好適である。その理由は、第1薄膜コイル半部を形成する位置がずれた場合でも、これら最外周のコイル巻回体および最内周のコイル巻回体の幅が所望の値よりも狭くなり、抵抗値が過度に高くなる恐れがなくなるためである。

【0049】

本発明による薄膜磁気ヘッドの製造方法においては、前記エッチング工程において、前記下部トラックポールを形成した後もR I Eを続けて前記ライトギャップ膜を選択的に除去し、さらに前記下部ポールの表面を、その厚さの一部分に亘って除去してトリム構造をセルフアライメントで形成するのが好適である。この場合、上部トラックポールおよび上部ポールを構成する第3の磁性材料膜をライトギャップ膜の平坦な表面に平坦に形成するので、上部トラックポールおよび下部トラックポールの幅をサブミクロンオーダーと非常に狭くしてもきわめて正確に形成することができる。また、前記第3の磁性材料膜をFeN、FeCo、CoNiFe、FeAlNまたはFeZrNで形成し、下部トラックポールをFeN、FeCo、CoNiFe、FeAlN、FeZrNまたはNiFeで形成するのが好適である。この場合、CoNiFe、FeCo、NiFeはメッキ膜として形成し、FeN、FeCo、FeAlNおよびFeZrNはスパッタ膜で形成することができる。また、下部トラックポールおよび上部トラックポールを形成するためのR I Eを、Cl₂、Cl₂にBCl₂などのホウ素系ガスを混合した混合ガスあるいはCl₂にAr、N₂などの不活性ガスを混合した混合ガスなどの雰囲気中で、50℃以上、特に200～300℃の高いエッチング温度で行うのが好適である。

【0050】

さらに本発明による薄膜磁気ヘッドの製造方法においては、第1および第2の薄膜コイル半部を絶縁する第1の絶縁膜は、アルミナ-CVDで形成するのが好適である。このアルミナ-CVD膜は、1～2 Torrの減圧中において、100～400℃の温度、特に150～200℃の温度で、Al(CH₃)₃またはAlCl₃と、H₂O、N₂、N₂OまたはH₂O₂とを交互に断続的に噴射するアトミックレイヤー法で形成され

た減圧 Al_2O_3 -CVD 膜とするのが特に好適である。加熱による磁性材料の劣化を考えると、加熱温度は 300°C 以下とするのが好適であるが、短時間の加熱であれば、 400°C としても差し支えない。このようにして、絶縁膜の膜厚を薄くしてもステップカバレッジに優れているとともに絶縁特性の良い絶縁膜が形成できる。

図面の簡単な説明

図 1 A, B ～ 8 A, B は、従来の複合型薄膜磁気ヘッドを製造する順次の工程を示す断面図；

図 9 A, B は、従来の複合型薄膜磁気ヘッドの構成を示す断面図および平面図；

図 10 A, 10 B ～ 16 A, 16 B は、本発明による複合型薄膜磁気ヘッドの一例を製造する順次の工程を示す断面図；

図 17 A および 17 B は、第 1 および第 2 の薄膜コイル半部と、これらを接続する第 1 および第 2 のジャンパ配線の配置を示す平面図および断面図；

図 18 A, 18 B ～ 20 A, 20 B は、それ以降の順次の工程を示す断面図；

図 21 は、上部トラックポールおよびそれを形成するためのレジスト開口を示す平面図；

図 22 は、次の工程を示す断面図；

図 23 ～ 31 は、本発明による導電パターンの製造方法の一実施例の順次の工程を示す断面図；

図 32 ～ 39 は、本発明による導電パターンの製造方法の他の実施例の順次の工程を示す断面図；

図 42 ～ 46 は、本発明による複合型薄膜磁気ヘッドの第 6 の実施例の順次の工程を示す断面図である。

【0051】

好適実施例の説明

図 10 ～ 22 は、本発明による複合型薄膜磁気ヘッドの第 1 の実施例の順次の工程を示す断面図および平面図であり、断面図において、A はエアーベアリング面に垂直な断面図、B は磁極部分をエアーベアリング面に平行な平面で切って示

す断面図である。読み取り用の磁気抵抗型薄膜磁気ヘッドであるGMRヘッド素子の構成およびその製造方法は従来のものとほぼ同じである。図10A、10Bに示すように、AlTiCより成る基板31の上に、アルミナより成る絶縁膜32を約 $3\mu\text{m}$ の膜厚に堆積し、さらにその上に読み出し用のGMRヘッド素子に対する磁気シールドを行うために、パーマロイより成る下部シールド膜33を、フォトレジスト膜をマスクとするメッキ法によって所定のパターンにしたがってほぼ $2\sim 3\mu\text{m}$ の膜厚に形成する。

【0052】

次に、ウエファ全体の上に $3\sim 4\mu\text{m}$ の膜厚のアルミナ膜を形成し、CMPによって平坦化することで下部シールド膜を露出させる。続いて、 $30\sim 35\text{nm}$ の膜厚のアルミナより成る下部シールドギャップ膜34をスパッタリングにより形成した後、所定の層構造を有するGMR膜35およびこのGMR膜に対する引出し電極36を、リフトオフによって形成する。その後、アルミナのスパッタリングにより上部シールドギャップ膜37を $30\sim 35\text{nm}$ の膜厚に形成し、その上にGMRヘッド素子の上部磁気シールド膜38を、約 $1\sim 1.5\mu\text{m}$ の膜厚に形成する。

【0053】

次に、再生用のGMRヘッド素子と記録用の誘導型薄膜磁気ヘッド素子を磁氣的に分離して再生用GMRヘッド素子の再生出力中のノイズを抑圧するためのアルミナより成る分離膜39を約 $0.15\sim 0.3\mu\text{m}$ の膜厚に形成した後、記録用ヘッド素子の下部ポールを構成する磁性材料膜40を $0.5\sim 2.0\mu\text{m}$ の膜厚に形成する。この磁性材料膜40は、NiFe(80%:20%)やNiFe(45%:55%)、FeCo(67%:33%)あるいはCoNiFe(64%:18%:18%)のメッキ膜で形成したり、FeAlN、FeN、FeCo、FeZrNなどのスパッタ膜で形成できるが、本例ではCoNiFe(64%:18%:18%)のメッキ膜で形成する。

【0054】

次に、磁性材料膜40の上に、CoNiFeより成る磁性材料膜42を電解メッキ法により $1.5\mu\text{m}$ の膜厚に形成し、さらにその上にCoFeより成る磁性材料膜41

を同じく電解メッキ法で $1.0\ \mu\text{m}$ の膜厚に形成する。後述するように、磁性材料膜41は下部トラックポールを構成するものであり、磁性材料膜42は磁性材料膜40と共に下部ポールを構成するものである。また、磁性材料膜42を形成するのと同時にバックギャップにおける第1の橋絡部43aを形成し、磁性材料膜41を形成するのと同時に第2の橋絡部43bを形成する。

【0055】

次に、表面全体にアルミナより成る絶縁膜44を $0.2\ \mu\text{m}$ の膜厚に形成し、さらにその上に、Cuより成るシード膜45を $50\ \text{nm}$ の膜厚に形成する。このシード層45の上に、所定の形状のレジストマスクを形成した後、電解メッキにより第1の薄膜コイル半部46を $2.0\sim3.0\ \mu\text{m}$ の膜厚に形成し、レジストマスクを除去して露出したシード膜45を除去し、さらに、表面全体を覆うようにアルミナ絶縁膜48を $0.1\ \mu\text{m}$ の膜厚に形成した様子を図11に示す。本発明では、このアルミナ絶縁膜48の膜厚は、 $0.03\sim0.25\ \mu\text{m}$ とすることができる。このアルミナ絶縁膜48の膜厚によって磁路長が左右されるため、できるだけ薄くするのが望ましいが、従来の薄膜コイルの製造方法において、順次のコイル巻回体間のスペースを $250\ \text{nm}$ 以下にすると、露出したシード膜をイオンミリングで除去する際、再付着のためコイル巻回体間が電氣的に短絡される恐れがあるのに対し、本発明ではそのような短絡は発生しない。また、アルミナ絶縁膜48の膜厚を $30\ \text{nm}$ よりも薄くすると、Cu-メッキで形成した第1の薄膜コイル半部46と、後にCu-CVDおよびCu-Pで形成される第2の薄膜コイル半部をCMP処理をする際に、これらの薄膜コイル半部の間で銅が移動するスミヤ現象が発生し易いため、コイル巻回体間が互いに電氣的に短絡される恐れがある。

【0056】

また、本実施例においては、薄膜コイルの、下部ポールおよび上部ポールによって囲まれる部分においては、最外周のコイル巻回体および最内周のコイル巻回体を後に形成する第2の薄膜コイル半部で構成し、さらにそれらの幅が他の部分よりも広く形成されるように、第1の薄膜コイル半部46の最外周のコイル巻回体と磁性材料膜41、42との間の間隔W1および第1および第2の内周のコイル

TOBACCO IN THE

このように、 $W1$ 、 $W2 > W3$ とする理由は以下の通りである。上述したように第1の薄膜コイル半部46を形成する際にはレジストマスクを使用するが、その位置がずれる可能性がある。例えば、レジストマスクがエアーベアリング面側にずれると、磁性材料膜41、42の端面と第1の薄膜コイル半部46の最外周のコイル巻回体との間のスペースの幅 $W1$ は狭くなり、レジストマスクがエアーベアリング面とは反対側にずれると、バックギャップを構成する橋絡部43a、43bの端面と第1の薄膜コイル半部46の最内周のコイル巻回体との間のスペースの幅 $W2$ が狭くなる。このように幅 $W1$ あるいは $W2$ がミスアライメント等で狭くなると、後に形成される第2の薄膜コイル半部のコイル巻回体の幅が狭くなり、抵抗値が所定の値よりも高くなってしまふ。特に、最外周のコイル巻回体は、その長さが他のコイル巻回体に比べて長いので、その幅 $W1$ が狭くなると抵抗値が非常に高くなり、発熱する恐れがある。このようにエアーベアリング面に近い部分での発熱は、熱膨張によってポールチップが外側に膨らんで記録媒体と接触するポール突出（pole protrusion）の問題が起こる恐れがある。上述したように、 $W1$ 、 $W2 > W3$ とすることによって、第1の薄膜コイル半部46を形成する際のレジストマスクの位置のずれがあっても、第1の薄膜コイル半部の最外周および最内周のコイル巻回体の幅が所定の幅よりも狭くなることがなくなり、上述したポール突出の問題を有効に解決することができる。さらに、第1の薄膜コイル半部46を形成する際に、その最外周および最内周のコイル巻回体と磁性材料膜41、42および橋絡部43a、43bとの間の距離が長くなると、フォトリソグラフィの露光時にこれらの磁性材料膜および橋絡部からの反射が少なくなるので、フォトリソグラフィが容易かつ正確となるという利点もある。

【 0 0 5 8 】

さらに、薄膜コイル半部の各コイル巻回体は同じ幅で形成されているのではなく、磁路を構成する部分の幅はその他の部分の幅よりも狭くして磁路長を短くしている。すなわち、図 11 において、橋絡部 43 a, 43 b のエアーベアリング面とは反対側にある凹部の幅 W_4 は、上述した幅 W_1 , W_2 および W_3 よりも広くなっている。ただし、この図面は、これらの幅の比率を正確に表すものではなく、大小関係を示すものである。

【 0 0 5 9 】

本例ではアルミナ絶縁膜 48 を、CVD によって形成する。すなわち、ウェファを収容した CVD チャンバを 1 ~ 2 Torr の減圧状態に保ち、100 ~ 400 °C の温度で、 $\text{Al}(\text{CH}_3)_3$ または AlCl_3 と、 H_2O , N_2 , N_2O あるいは H_2O_2 とを交互に断続的に噴射し、ケミカル反応によって堆積形成するアトミックレイヤー法で形成するのが好適である。本例では、1.5 Torr に減圧し、温度を 250 °C に保ったチャンバに、水蒸気 (H_2O) と $\text{Al}(\text{CH}_3)_3$ を約 1 秒間に 1 回の割合で噴射させて減圧アルミナ・CVD 絶縁膜 48 を形成する。このような減圧アルミナ・CVD 絶縁膜 48 は、良好な絶縁特性を有するとともに優れたステップカバレッジを有している利点がある。さらに、アルミナ・CVD 絶縁膜 48 の表面全体に Cu・CVD 膜 49 を、50 nm か 500 nm の膜厚に形成した様子を図 12 に示す。

【 0 0 6 0 】

さらに、Cu-CVD膜 49 の上に所定のパターンのレジスト 50 を形成した後、Cu-CVD膜 49 をシード層として用いて、薄膜コイル形成領域の上にフォトリソグラフィで選択的に銅の電解メッキ膜（以後、Cu-P膜と称する）51 を $2.5\mu\text{m}$ の膜厚に形成した様子を図 13 に示す。

【 0 0 6 1 】

次に、レジスト 50 を除去して Cu-CVD 膜 49 を部分的に露出させた後、Cu-P 膜 51 をマスクとしてイオンミリングあるいは高温 RIE 等のドライエッチや、希硫酸、希塩酸等を用いるウェットエッチング、あるいは硫酸銅液中での電解エッチング等を施して露出している Cu-CVD 膜 49 を除去した様子を図 14 に示す。次

に、図 1 5 に示すように、全体の上にアルミナ絶縁膜 5 2 を 3 ~ 4 μ m の膜厚に形成した後、銅の電解メッキ膜（以後、Cu-P 膜と称する）5 1 上の凸部形状のアルミナ絶縁膜を CMP で平坦化する。CMP によってアルミナ絶縁膜 5 2、Cu-P 膜 5 1、Cu-CVD 膜 4 9 およびアルミナ-CVD 絶縁膜 4 8 を研磨して表面を平坦とした様子を図 1 6 に示す。この CMP はアルカリスラリーや中性スラリーを用いる CMP とするが、イオンビームミリングやスパッタエッチングなどのドライエッチングで行ったり、CMP で粗く除去した後、ドライエッチングで微調整して除去することもできる。

【0 0 6 2】

このように、CMP によって、第 1 の薄膜コイル半部 4 6、磁性材料膜 4 1、第 2 の橋絡部 4 3 b、アルミナ絶縁膜 5 2 を露出させるとともに、第 1 の薄膜コイル半部 4 6 の間にアルミナ-CVD 絶縁膜 4 8 を介して第 2 の薄膜コイル半部 5 3 が自己整合的に形成された様子を図 1 7 A の平面図および 1 7 B の断面図に示す。ただし、図 1 7 B では、絶縁膜 4 4 および 4 8 は太線で示してある。本例では、上述したように、 $W_1, W_2 > W_3$ としたので、第 2 の薄膜コイル半部 5 3 の最外周のコイル巻回体 5 3 a および最内周のコイル巻回体 5 3 b の幅は、その他のコイル巻回体の幅よりも広がっている。また、後に配線に対するコンタクト部を構成する最内周のコイル巻回体の端部 4 6 a の幅はさらに広くしてある。また、第 1 の薄膜コイル半部 4 6 の最外周のコイル巻回体の端部と連続し、第 1 の接点パッド位置まで延在する配線 6 3 と、第 2 の薄膜コイル半部の最内周のコイル巻回体を、後に形成するジャンパ配線を介して第 2 の接点パッドまで導く第 2 の配線 6 4 を、第 1 の薄膜コイル半部 4 6 と同時に形成する。また、バックギャップを構成する磁性材料より成る橋絡部 4 3 a、4 3 b と第 1 の薄膜コイル半部 4 6 の最内周のコイル巻回体との間にはアルミナ絶縁膜 5 2 が残っている。このアルミナ絶縁膜 5 2 の幅は、3 ~ 5 μ m とすることができる。

【0 0 6 3】

第 1 および第 2 の薄膜コイル半部 4 6 および 5 3 の、磁性材料膜 4 1、4 2 と橋絡部 4 3 a、4 3 b とで囲まれる部分の幅は、それ以外の部分の幅よりも狭く

して、磁路長を短くしている。本発明においては、上述したように、第1の薄膜コイル半部46の順次のコイル巻回体間に形成される凹部を埋めるように、Cu-CVD膜49を形成し、さらにその上にCu-P膜51を形成しているが、幅の狭い凹部では、その側壁からのCu-CVDの成長のために、凹部はCu-CVD膜49だけで埋められるが、幅の広い凹部ではCu-CVD膜49だけでは埋められず、足りない部分はCu-P膜51によって埋められることになる。したがって、図17Bの断面図に示すように、薄膜コイルのコイル巻回体の幅の狭い部分は、Cu-CVD膜49だけで形成されているが、幅の広い部分はCu-CVD膜49とCu-P膜51とで形成されることになる。

【0064】

さらに、図18に示すように、第2橋絡部43bと、第1および第2の薄膜コイル半部46および53の最内周のコイル巻回体の端部を覆うようにフォトレジストマスク54を選択的に形成した後、ライトギャップ膜を構成するアルミナ絶縁膜55を0.1 μm の膜厚に形成する。

【0065】

次に、図19に示すように、上部トラックポールを構成するために、FeCoより成る磁性材料膜56を1.0 μm の膜厚に形成し、さらにその上にCoNiFeより成る磁性材料膜57を1.0 μm の膜厚に形成する。本例では、磁性材料膜56をFeCoで形成するが、FeNまたはFeCo/FeNの2層で形成することもできる。その後、フォトレジスト膜54を除去することによって、第2橋絡部43b、第1および第2の薄膜コイル半部46および53の最内周のコイル巻回体の端部の上方に形成されているアルミナ絶縁膜52および磁性材料膜56、57を選択的に除去してライトギャップ膜58を形成する。上述した磁性材料膜56を構成するFeCoの飽和磁束密度はほぼ2.4 Tであり、トラック幅をクォーターミクロンオーダー、特に0.1 μm ~0.2 μm 程度に狭くする場合にも、十分大きな磁束を発生することができる。

【0066】

また、磁性材料膜56、57を形成するのと同時に、第1の薄膜コイル半部4

6の最内周のコイル巻回体の端部と第2の薄膜コイル半部53の最外周のコイル巻回体の端部とを電氣的に接続するための第1のジャンパ配線と、第2の薄膜コイル半部53の最内周のコイル巻回体の端部を、外部回路に接続するための接点パッドに接続するための第2のジャンパ配線とを、磁性材料膜56、57と同じ磁性材料で形成する。すなわち、図17に示すように、一端が第1の薄膜コイル半部46の最内周のコイル巻回体の端部46aに形成されたコンタクト部46bと接触し、他端が第2の薄膜コイル半部53の最外周のコイル巻回体53aの端部に形成されたコンタクト部53cと接触する第1のジャンパ配線61と、一端が第2の薄膜コイル半部53の最内周のコイル巻回体53bの端部に形成されたコンタクト部53dと接触する第2のジャンパ配線62を形成する。これらのジャンパ配線61および62は、ライトギャップ絶縁膜55を介してアルミナ-CVD絶縁膜48の上に形成されることになるが、図12ではこのアルミナ-CVD絶縁膜は省略してある。また、第1の薄膜コイル半部46の最外周のコイル巻回体の端部は、これと一体的に形成された第3の配線63によって第1の接点パッドまで導かれている。さらに、第2のジャンパ配線62の他端は、第1の薄膜コイル半部46と同時に形成された第4の配線64のコンタクト部64aとアルミナ-CVD膜48に形成した開口を経て接触しており、この第4の配線64は第2の接点パッド位置まで延在している。

【 0 0 6 7 】

上述したように、第 1 および第 2 の接点パッドは、薄膜コイルの両端にそれぞれ接続されることになるが、第 3 および第 4 の接点パッドは、GMR 素子の電極膜 3 6 に接続されることになる。また、上述したように、第 1 および第 2 のジャンパ配線 6 1 および 6 2 を、上部ポールを構成する磁性材料膜を形成するのと同時に形成しているが、バックギャップを構成する橋絡部 4 3 a、4 3 b と第 1 および第 2 の薄膜コイル半部 4 6 および 5 3 の最内周のコイル巻回体の端部との間にアルミナ絶縁膜 5 2 を形成することにより、第 1 および第 2 のジャンパ配線 6 1 および 6 2 が橋絡部 4 3 a、4 3 b に接触して電氣的に短絡するのを有効に防止することができる。

【 0 0 6 8 】

上述したように、上部トラックポールを構成するために、FeCoより成る磁性材料膜 5 6 の上にCoNiFeより成り、所定のパターンを有する磁性材料膜 5 7 を 2 ～ 3 μm の膜厚に形成するが、上側の磁性材料膜 5 7 をマスクとして下側の磁性材料膜 5 6 を、BCl₂、Cl₂などの塩素系ガス雰囲気中で、200℃の温度でRIEで選択的に除去して上部トラックポールを形成する。その後、コイル部を覆うようにフォトレジストパターンを形成するか、あるいは図 2 1 に示すように書き込みトラック部に開口を有するフォトレジストパターンを形成した後、磁性材料膜 4 1 を選択的に除去して下部トラックポールを形成し、さらにその下側の磁性材料膜 4 2 を、その厚さの一部分に亘って選択的に例えばイオンミリングで除去してトリム構造を形成する。最後に、図 2 2 に示すように、全体の上にアルミナより成るオーバーコート膜 6 6 を形成する。

【 0 0 6 9 】

本発明においては、上述した磁性材料膜 5 6 , 5 7 を選択的に除去して幅の狭い上部トラックポールを形成する R I E を、 BCl_2 や Cl_2 などの塩素系ガス或いは Cl_2 に BCl_2 などのホウ素系ガスを混合した混合ガスなどの雰囲気中で、エッチング温度を $50 \sim 300^\circ\text{C}$ 、特に $150 \sim 300^\circ\text{C}$ の高温で行うことで RIE の際の再付着物の発生を防ぐことができる。このような条件で行う R I E を行うことによって FeN, FeCo, CoFeNi などのきわめて高い飽和磁束密度を有する磁性材料を正確にかつ効率良くエッチングすることができる。

【 0 0 7 0 】

本例では、上部トラックポールを構成する磁性材料膜 5 6 を FeCo で形成したが、CoNiFe や NiFe(80%:20%) や飽和磁束密度の高い磁性材料である NiFe(45%:55%) などのメッキ膜で形成しても良い。また、磁性材料膜 5 6 は、FeN、FeZrN などのスパッタ膜で形成することもできる。さらに、磁性材料膜 5 6 を、無機系の絶縁膜とパーマロイなどの磁性材料膜とを複数層、積層したもので形成することもでき、この場合には、高周波数特性をさらに改善できる利点がある。実際の製造工程においては、ウエファをバーに分割し、このバーの側面を研磨し

てエアーベアリング面を形成し、さらにバーを個々の薄膜磁気ヘッドに分割するが、図 2 2 では、エアーベアリング面を構成する研磨面を破線 A - A で示す。

【 0 0 7 1 】

次に本発明による導電パターンの製造方法の第 1 の実施例を説明する。本例では半導体基板の上に、第 1 の導電細条群と第 2 の導電細条群とを自己整列的に形成するものである。図 2 3 に示すように、半導体基板 7 1 の表面に Cu より成るシード膜 7 2 を 5 0 nm の膜厚に形成し、その上に所定の形状のレジストマスク 7 3 を形成する。このレジストマスク 7 3 の、第 1 の導電細条半部を形成すべき位置に開口に形成しておく。次に、電解メッキを行って第 1 の導電細条半部 7 4 を 0 . 7 ~ 1 . 2 μ m の膜厚に形成した後、レジストマスク 7 3 を除去し、さらに露出したシード層を除去して順次の導電細条を分離した様子を図 2 4 に示す。

【 0 0 7 2 】

さらに、図 2 5 に示すように、表面全体に、アルミナ-CVD 絶縁膜 7 5 を 0 . 1 μ m の膜厚に形成する。このアルミナ-CVD 絶縁膜 7 5 は、半導体基板 7 1 を収容した C V D チャンバ内部の圧力を 1 ~ 2 Torr の減圧状態とし、1 0 0 ° C 以上の温度で、 H_2O 、 N_2 、 N_2O または H_2O_2 と、 $Al(CH_3)_3$ あるいは $AlCl_3$ とを交互に断続的に噴射するアトミックレイヤー法で形成する。この場合には、磁性材料がないので、銅の融点程度まで高くしてもよいが、1 0 0 ~ 7 0 0 ° C とするのが実用上好適である。

【 0 0 7 3 】

次に、図 2 6 に示すように、アルミナ-CVD 絶縁膜 7 5 の表面の導電細条を形成すべき領域を覆うようにレジストマスク 7 6 を形成し、さらに図 2 7 に示すように表面全体にアルミナ絶縁膜 7 7 を 0 . 8 ~ 1 . 5 μ m の膜厚に形成する。さらに、図 2 8 に示すように、アルミナ絶縁膜 7 7 およびレジストマスク 7 6 を C M P によって平坦に研磨した後、レジストマスク 7 6 をウエットエッチングにより除去した様子を図 2 9 に示す。

【 0 0 7 4 】

続いて、図 3 0 に示すように、表面全体に Cu-CVD 膜 7 8 を形成し、0 . 7 ~

1. $2\ \mu\text{m}$ の膜厚に形成し、第1の導電細条半部74の間に画成されている凹部をCu-CVDで埋める。さらに、Cu-CVD膜76をCMPによって、第1の導電細条半部74の表面が露出するまで研磨して、これら第1の導電細条半部の順次の導電細条の間に第2の導電細条半部79を自己整合的に形成し、最後に、この平坦な表面にシリコン酸化絶縁膜80を $1\ \mu\text{m}$ の膜厚に形成した様子を図31に示す。

【0075】

本例では、第1および第2の導電細条半部74および79の各導電細条の幅は等しいものとしたが、Cu-CVD膜76によって形成される導電細条を最外側のものとする場合には、その幅は他の導電細条の幅よりも幾分広くするのが、第1の導電細条半部74を形成する際のレジストマスク73の形成位置のずれを補償する上で好適である。

【0076】

次に本発明による導電パターンの製造方法の第2の実施例を説明する。上述した第1の実施例では、すべての導電細条の幅を等しいものとしたが、本例ではそれぞれ幅の異なる第1および第2の導電細条群を形成するものであるが、半導体基板の上に、第1および第2の導電細条群の第1および第2の導電細条半部をそれぞれ自己整列的に形成する点では第1の実施例と同様である。

【0077】

図32に示すように、半導体基板81の表面にCuより成るシード膜82を50nmの膜厚に形成し、その上に所定の形状のレジストマスクを形成し、電解メッキを行って第1および第2の導電細条群83および84の第1の導電細条半部85および86を $0.7\sim 1.2\ \mu\text{m}$ の膜厚に形成した後、レジストマスクを除去し、さらに露出したシード層82をウェットエッチまたは 200°C の高温RIEやイオンミリングにより除去する。

【0078】

次に、図33に示すように、表面全体に、アルミナ-CVD絶縁膜87を $0.1\ \mu\text{m}$ の膜厚に形成する。このアルミナ-CVD絶縁膜75は上述した第1の実施例と同様

に半導体基板 8 1 を収容した C V D チャンバ内部の圧力を 1 ～ 2 Torr の減圧状態とし、1 0 0 ° C から 7 0 0 の温度で、 H_2O , N_2 , N_2O または H_2O_2 と、 $Al(CH_3)_3$ あるいは $AlCl_3$ とを交互に断続的に噴射することによって形成する。

【 0 0 7 9 】

次に、図 3 4 に示すように、表面全体に Cu-CVD 膜 8 8 を $0.1 \mu m$ の膜厚に形成する。この場合、第 1 の導電細条半部 8 5 の間に画成されている幅の狭い凹部は Cu-CVD で完全に埋められるが、第 2 の導電細条群 8 4 の第 1 の導電細条半部 8 6 の間に画成されている幅の広い凹部は完全には Cu-CVD では埋められていない。

【 0 0 8 0 】

さらに、図 3 5 に示すように、Cu-CVD 膜 8 8 の上に、導電細条形成領域に対応する開口を有するレジストマスク 8 9 を形成した後、Cu-CVD 膜 8 8 をシード層として用いて銅の電解メッキを施し、薄膜コイル形成領域の上に Cu-P 膜 9 0 を $1 \mu m$ の膜厚に形成する。この Cu-P 膜 9 0 によって、第 2 の導電細条群 8 4 の第 1 の導電細条半部 8 6 の間に画成された幅の広い凹部も完全に埋められることになる。

【 0 0 8 1 】

次に、レジストマスク 8 9 を除去して Cu-CVD 膜 8 8 を部分的に露出させた後、Cu-P 膜 9 0 をマスクとしてイオンミリングを施して露出している Cu-CVD 膜を除去した様子を図 3 6 に示す。次に、図 3 7 に示すように、全体の上にアルミナ絶縁膜 9 1 を $2 \sim 3 \mu m$ の膜厚に形成した後、CMP によってアルミナ絶縁膜 9 1、Cu-P 膜 9 0、Cu-CVD 膜 8 8 およびアルミナ-CVD 絶縁膜 8 7 を研磨して表面を平坦とした様子を図 3 8 に示す。

【 0 0 8 2 】

このようにして、第 1 および第 2 導電細条群 8 3 および 8 4 の第 1 および第 2 の導電細条半部 8 5 および 8 6 の間に、第 2 の導電細条半部 9 2 および 9 3 を自己整合的に形成することができる。この場合、第 2 の導電細条群 8 4 の第 2 の導電細条半部 9 3 の各導電細条は、Cu-CVD 膜 8 8 と Cu-P 膜 9 0 で構成されることになる。また、隣り合う導電細条の間は、きわめて薄い Cu-CVD 膜 8 7 で絶縁分

離されているだけであるので、導電細条形成領域の面積を小さくすることができ、集積度を上げることができる。最後に、図 3 9 に示すように、平坦な表面の上に、アルミナ絶縁膜 9 4 を、 $1.15 \mu\text{m}$ の膜厚に形成する。

【 0 0 8 3 】

上述したように、本例では、幅の広い導電細条 8 6、9 3 は、Cu-CVD 膜 8 8 と、Cu-P 膜 9 0 との 2 層構造で構成されているが、全体を Cu-CVD で形成することもできる。一般に、Cu-CVD 膜はステップカバレッジが良好であるが、コストが高く、Cu-P 膜はステップカバレッジは低いが高コストであるので、第 2 の導電細条半部を、Cu-CVD だけで形成するか、Cu-CVD と Cu-P で形成するか、Cu-P だけで形成するかは、形成すべき導電細条の幅、膜厚、コストなどを総合的に判断して決めれば良い。

【 0 0 8 4 】

本発明は上述した実施例にのみ限定されるものではなく、幾多の変更や変形が可能である。例えば、上述した実施例では、CMPによって余分なCu-CVD膜やCu-P膜を除去したが、ドライエッチングやイオンビームエッチングで除去したり、CMPで粗く除去した後、イオンビームエッチングやスパッタエッチングのようなドライエッチングで微調整しながら除去することもできる。

【 0 0 8 5 】

上述した本発明による薄膜磁気ヘッドおよびその製造方法によれば、薄膜コイルを自己整合的に正確に形成でき、したがって薄膜コイル半部を構成するコイル巻回体間の間隔を従来に比べて著しく短くすることができる。その結果として、磁路長を短くすることができ、磁束立ち上がり特性やNLTS特性や重ね書き特性などを改善することができる。すなわち、薄膜コイル半部のコイル巻回体間には膜厚が0.03~0.25 μm ときわめて薄い絶縁層をアルミナや、酸化シリコンや窒化シリコンなどの微細加工が可能な無機絶縁材料で形成することができるので、コイル巻回体間の間隔を、0.03~0.25 μm ときわめて狭くすることができる。このようにして、一層の薄膜コイルで十分大きな磁束を発生させることができるので、アベックスアングルを小さくすることができ、トラック中の狭くすることができる。さらに、第1の薄膜コイル半部を形成する際の順次のコ

イル巻回体間の間隔は大きく取れるので、シード層を除去するためのエッチングを良好に行なうことができ、再付着の恐れもなくなる。

【0086】

さらに、平坦な磁性材料膜をエッチングして上部および下部のトラックポールを形成しているので、エッチングにより正確に所定のパターンに形成できる。しかもこれらのトラックポールはセルフアライメントで形成されているので、 $0.1 \sim 0.3 \mu\text{m}$ の狭い幅を有するトラックポールを正確にかつ安定して得ることができる。また、これらのトラックポールは、飽和磁束密度が高い磁性材料であるFeNやFeCoで形成しているので、薄膜コイルで発生される磁束が飽和することなく、微細構造として形成されたトラックポールを有効に流れるので、磁束のロスが少なく、高い面記録密度を有する記録媒体が必要とする大きな磁束を有効に発生することができる能率の高い誘導型薄膜磁気ヘッドが得られる。

【0087】

さらに、上部トラックポールの上部磁性材料膜をRIEする際のエッチングマスクとしてCoNiFeのメッキ膜を使用する場合には、このCoNiFeのメッキ膜のエッチングレートは、これをマスクとしてエッチングすべきFeNやFeCoのエッチングレートに比べて $1/3 \sim 1/2$ と遅いので、RIEのマスクとして最適であり、所望の膜厚のトラックポールを正確に形成することができる。また、CoNiFeのメッキ膜はFeNやFeCo膜に比べて硬度が高いので、CoNiFeのメッキ膜だけでトラックポールを形成しようとする、膜厚が厚くなり、内部ストレスのために剥れる恐れがあるが、本発明では上部トラックポールは2層構造となっているので、CoNiFeのメッキ膜を上部トラックポール膜として使用する場合でも、CoNiFeのメッキ膜は薄くできるので剥れの恐れはない。

【0088】

さらに、CoNiFeのメッキ膜だけで $0.1 \sim 0.2 \mu\text{m}$ の狭い幅を有するトラックポールを形成しようとする、3元素の組成の制御が難しく、量産ではオーバーライト不良等の多くの問題点があった。しかし、上部トラックポールを2層構造とした本発明の実施例においては、CoNiFeのメッキ膜より成る上側の磁性材料膜

の組成や膜厚が多少変動しても、その下側の磁性材料膜を正確にエッチングできるので何ら問題はない。このようにして本発明では、 $0.1 \sim 0.2 \mu\text{m}$ の狭い幅を有するトラックチップ部でありながら、磁束の飽和や洩れのない優れた特性を有する誘導型薄膜磁気ヘッドが得られる。

【0089】

本発明の複合型薄膜磁気ヘッドにおいては、上部トラックポールは飽和磁束密度の高い磁性材料で形成することができるので高さ（膜厚）を薄くでき、磁性材料膜の形状を規定するフォトレジストのフレイムパターンの膜厚を薄くすることができ、その結果フォトリソグラフィのフォーカスをシャープとし、高感度のレジストを使用することができるので、高解像度のフォトリソグラフィが可能となり、微細な構造の上部トラックポールを正確に形成することができる。

【0090】

さらに、第1および第2の薄膜コイル半部を電氣的に接続するためのジャンパ配線を、上部ポールの磁性材料で、上部ポールを形成するのと同時に形成した実施例では、配線形成プロセスが簡単となり、スループットを向上することができる。

【0091】

また、本発明による導電パターンおよびその製造方法によれば、幅の狭い導電細条をきわめて膜厚の薄い絶縁膜を挟んで配置できるので、導電細条形成領域の面積を小さくすることができ、集積度を向上することができる。さらに、第2の導電細条半部を、Cu-CVD膜と、Cu-P膜との2層構造とすることによって、幅の狭い導電細条と幅の広い導電細条とが混在する導電パターンを容易に得ることができる。